

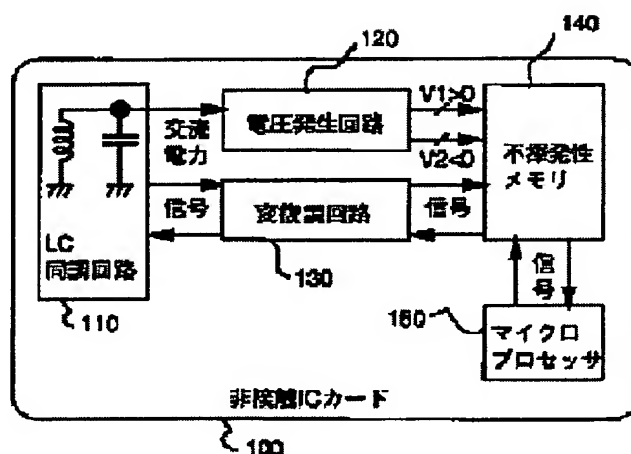
NONCONTACT TYPE IC CARD

Patent number: JP11073481
Publication date: 1999-03-16
Inventor: TANIGAWA HIROYUKI; TAKEUCHI MIKI
Applicant: HITACHI LTD
Classification:
 - international: G06K17/00; G06K19/07; G11C11/22; G11C14/00; G11C16/06; H02J17/00; G06K17/00; G06K19/07; G11C11/22; G11C14/00; G11C16/06; H02J17/00; (IPC1-7): G06K17/00; G06K19/07; G11C11/22; G11C14/00; G11C16/06; H02J17/00
 - european:
Application number: JP19970232093 19970828
Priority number(s): JP19970232093 19970828

Report a data error here

Abstract of JP11073481

PROBLEM TO BE SOLVED: To obtain a memory for a noncontact type IC card which has a long communication distance and low power consumption, and performs excellent low-voltage operation by providing a voltage generating circuit which generates a 1st positive source potential from the positive potential component of an AC signal and a negative source potential from the negative potential component of the AC signal. **SOLUTION:** The AC signal sent with an electromagnetic wave such as a microwave is received by an LC tuning circuit 110 and demodulated by a modulating and demodulating circuit 130. Further, the received signal is inputted to a voltage generating circuit 120 as AC electric power. The voltage generating circuit 120 rectifies the AC electric power to generate a positive potential V1 and a negative potential V2 at the same time and supplies them as driving electric power to the modulating and demodulating circuit 130, a nonvolatile memory 140, and a microprocessor 150. In this constitution, the voltage generating circuit 120 generates the two positive and negative potentials from the inputted AC signal, so the communication distance (distance between a card-side coil and the coil of a device which reads and writes the card) can be increased.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-73481

(43) 公開日 平成11年(1999) 3月16日

(51) Int. Cl. ⁶	識別記号	F I	
G06K 17/00		G06K 17/00	F
19/07		G11C 11/22	
G11C 11/22		H02J 17/00	B
14/00		G06K 19/00	H
16/06		G11C 11/34	352 A
審査請求 未請求 請求項の数11 O L (全17頁) 最終頁に続く			

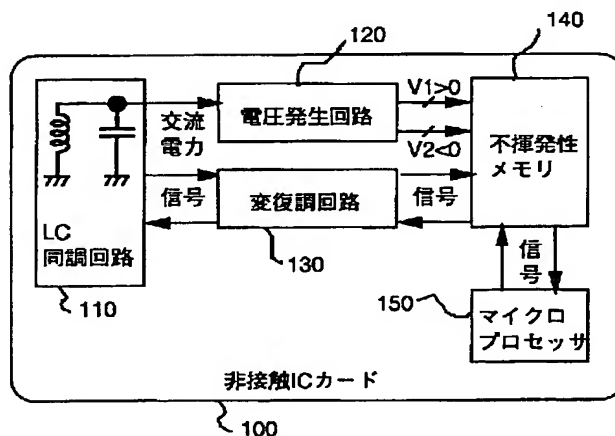
(21) 出願番号	特願平9-232093	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成9年(1997) 8月28日	(72) 発明者	谷川 博之 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		(72) 発明者	竹内 幹 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
		(74) 代理人	弁理士 大日方 富雄

(54) 【発明の名称】 非接触型 I C カード

(57) 【要約】

【課題】 電磁結合を利用して電力の供給を受ける非接触型 I C カードは、励起される電力が微弱であるため、回路駆動用電力が小さく通信距離が短くなる欠点がある。本発明の課題は、非接触型 I C カードにおいて、受信した電力を効率よく内蔵不揮発メモリに供給する電圧発生回路と、従来以上に低消費電力、低電圧動作に優れた非接触型 I C カード用強誘電体メモリ及びその動作方法を提供することにある。

【解決手段】 無線受信した交流電力から正方向の電位成分と負方向の電位成分を分離し正の第一の電位と負の第二の電位とを発生して、I C カードに内蔵された不揮発性メモリに供給する電圧発生回路を設けるようにした。



【特許請求の範囲】

【請求項 1】 電磁結合手段と、該電磁結合手段を介して外部から入力された交流信号を直流電圧に変換する電圧発生回路と、前記交流信号に含まれる受信情報を復調するとともに送信情報を含む信号を交流信号に変調して前記電磁結合手段を駆動する変復調回路と、電氣的に書き込み消去可能な不揮発性メモリと、該不揮発性メモリに対するデータの読出し及び書き込み並びに前記変復調回路により復調された受信情報に基づくデータの演算処理を行なう演算回路とを有する非接触型 IC カードにおいて、

前記電圧発生回路は、前記電磁結合手段を介して前記交流信号が入力される入力端子と、前記交流信号の正電位成分から正の第 1 の電源電位を発生する第 1 の電源回路と、前記交流信号の負電位成分から負の第 2 の電源電位を発生する第 2 の電源回路と、第 1 の電源電位を出力する第 1 の出力端子と、第 2 の電源電位を出力する第 2 の出力端子とを少なくとも有することを特徴とする非接触型 IC カード。

【請求項 2】 前記電圧発生回路は、前記入力端子に接続された MOS トランジスタと電力蓄積容量とからなるチャージポンプ回路を備えてなることを特徴とする請求項 1 に記載の非接触型 IC カード。

【請求項 3】 前記電力蓄積容量は、高誘電率を有する強誘電体物質を誘電体とする容量によって形成されていることを特徴とする請求項 2 に記載の非接触型 IC カード。

【請求項 4】 前記電圧発生回路は、前記第 1 の出力端子と前記第 2 の出力端子の電位を監視し、該電位と接地電位との電位差が動作の保証される最低電位差以上であるときに動作可能を示す信号を前記演算回路に供給するレベルモニタ回路を有することを特徴とする請求項 1、2 または 3 に記載の非接触型 IC カード。

【請求項 5】 前記電圧発生回路は、前記第 1 の出力端子と接地点との電位差と、前記第 2 の出力端子と接地点との電位差を、回路の動作が保証される最大電位差以下に制限する手段を備えた高電圧保護回路を有することを特徴とする請求項 1、2、3 または 4 に記載の非接触型 IC カード。

【請求項 6】 前記不揮発性メモリは、複数のワード線と複数のビット線と、それぞれ 1 つのトランジスタとそのトランジスタのソースまたはドレインの一方に接続された強誘電体キャパシタとを有し、前記トランジスタのゲートは前記複数のワード線の一つに接続され、そのトランジスタのソースまたはドレインの他方は前記複数のビット線の一つに接続されている複数のメモリセルと、前記複数のメモリセルの各々の強誘電体キャパシタの他端に接続されて接地電位を与える共通プレートと、前記複数のビット線を入力信号に応じて第 1 の電源電位

または接地電位にプリチャージするプリチャージ回路と、前記複数のワード線の一つを読出しのために駆動するワード線駆動回路と、

前記複数のビット線に接続され、各ビット線に接続されたメモリセルから読み出された信号を検出するためのセンス回路と、

を有する強誘電体メモリからなり、

アクセス開始直後、前記メモリセルに対して、前記ビット線を第 1 の電源電位にプリチャージして読出し書き込み動作を行なう第 1 の動作モードと、

前記第 1 の動作モード終了以後アクセス終了まで、前記メモリセルに対して、前記ビット線を接地電位にプリチャージして読出し書き込み動作を行なう第 2 の動作モードと、

に従って動作するように構成されてなることを特徴とする請求項 1、2、3、4 または 5 に記載の非接触型 IC カード。

【請求項 7】 前記不揮発性メモリは、

複数のワード線と複数のビット線と、

それぞれ 1 つのトランジスタとそのトランジスタのソースまたはドレインの一方に接続された強誘電体キャパシタとを有し、前記トランジスタのゲートは前記複数のワード線の一つに接続され、そのトランジスタのソースまたはドレインの他方は前記複数のビット線の一つに接続されている複数のメモリセルと、

前記複数のメモリセルの各々の強誘電体キャパシタの他端に接続されて接地電位を与える共通プレートと、

第一導電型基板上に第二導電型領域が設けられ、該第二導電型領域上に第 1 の第一導電型領域と第 2 の第一導電型領域が設けられ、第 1 の第一導電型領域上に一群の前記メモリセルが設けられた第 1 のメモリアレーと、第 2 の第一導電型領域上に一群の前記メモリセルが設けられた第 2 のメモリアレーと、

前記第 1 のメモリアレーに格納されたデータを第 2 のメモリアレーに転送する手段と、

前記転送動作後に少なくとも前記第 1 の第一導電型領域を接地電位とする手段と、

第 1 の電源電位と接地電位とのほぼ中間の第 3 の電位を発生する電位発生回路と、

前記複数のビット線を入力信号に応じて第 1 の電源電位あるいは第 3 の電位にプリチャージするプリチャージ回路と、

前記複数のワード線の一つを読出しのために駆動するワード線駆動回路と、

前記複数のビット線に接続され、各ビット線に接続されたメモリセルから読み出された信号を検出するためのセンス回路と、

を有する強誘電体メモリからなり、

アクセス開始直後、前記第 1 のメモリアレーに属するメ

10

20

30

40

50

メモリセルに対して、前記ビット線を第 1 の電源電位にプリチャージして読出し動作を行なうとともに、読み出された情報を第 2 のメモリアレーに属するメモリセルに書き込む第 1 の動作モードと、

前記第 1 の動作モード終了以後アクセス終了まで、前記第 2 のメモリアレーに属するメモリセルに対して、前記ビット線を第 3 の電位にプリチャージして読出し書き込み動作を行い、前記第 1 の第一導電型領域は接地電位に固定する第 2 の動作モードと、

アクセス終了直後、前記第 2 のメモリアレーに属するメモリセルに対して、前記ビット線を第 3 の電位にプリチャージし、第 1 の電源電位あるいは第 2 の電源電位に増幅して情報を読み出すとともに、読み出された情報を前記第 1 のメモリアレーに属するメモリセルに書き込む第 3 の動作モードと、

に従って動作するように構成されてなることを特徴とする請求項 1、2、3、4 または 5 に記載の非接触型 IC カード。

【請求項 8】 前記第 2 のメモリアレーに属するメモリセルのワード線を、第 1 の電源電位と第 2 の電源電位との間で駆動させて動作を行なうように構成されてなることを特徴とする請求項 7 に記載の非接触型 IC カード。

【請求項 9】 前記不揮発性メモリは、複数のワード線と複数のビット線と、それぞれ 1 つのトランジスタとそのトランジスタのソースまたはドレインの一方に接続された強誘電体キャパシタとを有し、前記トランジスタのゲートは前記複数のワード線の一つに接続され、そのトランジスタのソースまたはドレインの他方は前記複数のビット線の一つに接続されている複数のメモリセルと、それぞれ前記複数のワード線の一つに対応してそれぞれその対応するワード線と平行に配置され、該対応するワード線の一つに接続された一群のメモリセルの各々の強誘電体キャパシタの他端に接続されている複数のプレート線と、前記複数のビット線を第 2 の電源電位にプリチャージするプリチャージ回路と、前記複数のワード線の一つを読出しのために駆動するワード線駆動回路と、前記複数のビット線に接続され、各ビット線に接続されたメモリセルから読み出された信号を検出するためのセンス回路と、を有する強誘電体メモリからなり、前記ビット線を第 2 の電源電位にプリチャージして読出し、書き込み動作を行なうよう構成されてなることを特徴とする請求項 1、2、3、4 または 5 に記載の非接触型 IC カード。

【請求項 10】 前記不揮発性メモリは電氣的に書き込み消去可能な EEPROM であり、前記第 1 の電源電位を昇圧する内部昇圧回路を備え、該内部昇圧回路により昇

圧した電圧を書込みまたは消去動作のための高圧系の制御に用い、前記第 2 の電源電位を読出し動作のための低圧系の制御に用いることを特徴とする請求項 1、2、3、4 または 5 に記載の非接触型 IC カード。

【請求項 11】 前記不揮発性メモリは電氣的に書き込み可能でかつ電氣的に一括消去可能なフラッシュメモリであり、前記第 1 の電源電位を昇圧する内部昇圧回路及び内部降圧回路を備え、前記内部昇圧回路により昇圧した電圧を書込みまたは消去動作に用い、前記内部降圧回路で降圧した電圧を読出し動作に用いることを特徴とする請求項 1、2、3、4 または 5 に記載の非接触型 IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリを内蔵した非接触型 IC カードにおける内部 IC への駆動電力の生成技術に関し、特に強誘電体キャパシタを情報電荷記憶素子とする半導体メモリを内蔵した IC カードに利用して有効な技術に関する。

【0002】

【従来の技術】半導体メモリや演算プロセッサを内蔵した IC カードは、磁気カードに比べて記憶容量が大きくセキュリティ（情報の秘匿性）が高い利点があり、実用化が進められている。また、外部装置との情報のやりとりや駆動電力の受容を外部端子を通して行なう接触型 IC カードは、国際標準化機構（ISO）により規格化が進められ、ISO7816-1、ISO7816-2、ISO7816-3等が制定されている。IC カードに内蔵される書き換え可能な不揮発メモリとしては EEPROM が一般的であり、ISO7816-2では通常の電源供給端子 Vcc 以外に、書き込み、消去用の高電圧を供給するプログラム電源端子 Vpp を設けてサポートしている。

【0003】一方、非接触型 IC カードとして、コイルの相互誘導現象を利用してデータの送受信及び電力の供給を受けるようにしたものが近年注目されつつある。かかる非接触型 IC カードに用いられるトランシーバ用半導体集積回路においては、電磁結合を利用してコイルを介して入力される交流信号から電源電圧及び受信データ信号を生成する。非接触型 IC カードにおける電圧発生回路としては、一般にダイオードブリッジからなる整流回路が使用されていた。非接触型 IC カードは接触型と比較して、接触部の機械的なメンテナンスが不要であり、また使用のたびにカード入れから取り出すといった手間が省ける利点がある。

【0004】なお、非接触型 IC カードの従来技術としては、「計測と制御」第 30 巻第 11 号 984 頁～988 頁（1991 年）に記載がある。また、近年、非接触型 IC カードに内蔵する不揮発メモリとして、EEPROM に比べて低消費電力、低電圧動作でかつ書き込み速度の速い強誘電体メモリ（以下、FERAM と称する）が

注目されている。かかる技術を記載した文献の例としては、1995年；サイエンスフォーラム社発行「強誘電体薄膜メモリ」（第361頁～第369頁）がある。強誘電体メモリは、ダイナミックRAMのメモリセルと同一構成のメモリセルにおけるキャパシタを、強誘電体キャパシタとしたもので、強誘電体キャパシタは電圧を印加すると強誘電体が分極し、電圧を除去した後も電荷を保持するという性質を有するため、不揮発的にデータを記憶することができるというものである。

【0005】

【発明が解決しようとする課題】電磁結合を利用して電力の供給を受ける非接触型ICカードは、励起される電力が微弱であるため、回路駆動用電力が小さく通信距離が短くなる欠点がある。

【0006】本発明の目的は、非接触型ICカードにおいて、受信した電力を効率よく内蔵不揮発メモリに供給する電圧発生回路を提供することにある。

【0007】本発明の他の目的は、低消費電力、低電圧動作に優れた非接触型ICカード用メモリ及びその動作方法を提供することにある。

【0008】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0010】すなわち、本発明の電圧発生回路は、1個のダイオード接続のnチャンネル型MOSトランジスタと1個のキャパシタとからなるチャージポンプを基本構造に持つ正電圧供給回路と、1個のダイオード接続のpチャンネル型MOSトランジスタと1個のキャパシタとからなるチャージポンプを基本構造に持つ負電圧供給回路とを備えるようにしたものである。

【0011】さらに、望ましくは前記電圧発生回路のキャパシタを、強誘電体物質を一对の導電層間に介在させた絶縁膜容量（以下、強誘電体キャパシタと称する）により形成する。

【0012】また、本発明は、非接触型ICカードに搭載するメモリとして、1つの選択用トランジスタと1つの強誘電体キャパシタとからなるメモリセルを基本構造に持つFERAMを利用し、カード使用時には前記電圧発生回路から正の第1の電位と負の第2の電位の供給を受けて動作するように構成する。前記FERAM内のキャパシタの一方の端子が接続されるプレート線は、全てのメモリセルに対して共通化され常に接地電位に固定されるようにすると良い。

【0013】さらに、前記FERAMは、動作開始直後に読出し動作を行なう場合は、ビット線を第1あるいは第2の電位にプリチャージして、読出しを行なうメモリ

セルに対応したワード線を活性化する。この結果、ビット線の上にメモリセルの不揮発情報（キャパシタの分極方向）に対応した電位が現れるので、この読出し電位と参照電位との微小信号差をセンスアンプにより第1あるいは第2の電位に増幅し検知する。前記読出し動作を行なったメモリセルの以降の動作としては、読出しの場合は、ビット線を接地電位にプリチャージして前記ワード線を活性化し、接地電位との微小信号差として現れる揮発情報（キャパシタのトランジスタに接続された側の電位）に応じた電位を第1あるいは第2の電位に増幅し検知する。書込みの場合は、ビット線を接地電位にプリチャージして前記ワード線を活性化し、接地電位との微小信号差として現れる情報に応じて第1あるいは第2の電位に増幅した後、前記メモリセルに対応したビット線を選択して、書込み情報に対応する第1あるいは第2の電位を与えるようにするとよい。

【0014】動作開始直後に書込み動作を行なう場合は、ビット線を第1あるいは第2の電位にプリチャージして書込みを行なうメモリセルに対応したワード線を活性化する。この結果、参照電位との微小信号差として現れる不揮発情報に応じて第1あるいは第2の電位に増幅する。その後、前記メモリセルに対応したビット線を選択して、書込み情報に対応する第1あるいは第2の電位を与える。前記動作を行なったメモリセルの以降の動作は、動作開始直後に読出し動作を行なう場合と同様とすればよい。

【0015】本発明の他の実施形態の非接触型ICカード用FERAMとしては、上述のFERAMを、データを不揮発的に記憶する第1のメモリアレーとデータを揮発的に記憶する第2のメモリアレーとにより構成し、第一導電型基板上に第二導電型領域を設けるとともに、該第二導電型領域上に第1の第一導電型領域と第2の第一導電型領域を設け、前記第1の第一導電型領域上に第1のメモリアレーを形成し、前記第2の第一導電型領域上に第2のメモリアレーを形成するようにする。そして、カード利用時にデータを不揮発性の第1メモリアレーから読み出して揮発性の第2メモリアレーに移して演算等の処理を行ない、カード利用終了時には第2メモリアレーのデータを第1メモリアレーに不揮発的に記憶させるようにする。揮発性の第2メモリアレーは不揮発性の第1メモリアレーに比べて低電圧で駆動することができるため、前記のように構成することによって、カード利用時の消費電力を大幅に低減することができる。

【0016】前記の場合、第1のメモリアレーに格納されたデータを第2のメモリアレーに転送する手段と、該転送動作後に少なくとも第1の第一導電型領域を接地電位とする手段とを設けるようにする。前記転送手段は、例えば第1のメモリアレーと第2のメモリアレーとでビット線を共有することによって容易に実現することができる。さらに、ビット線を第1の電位と接地電位とのほ

10

20

30

40

50

ば中間の第 3 の電位にプリチャージする回路を設ける。

【 0 0 1 7 】そして、動作開始直後に読出し動作を行なう場合は、第 1 及び第 2 の第一導電型領域に第 2 の電位を供給し、ビット線を第 1 あるいは第 2 の電位にプリチャージして、読み出すメモリセルに対応した第 1 のメモリアレーのワード線を活性化する。この結果、ビット線上に参照電位との微小信号差として現れる不揮発情報に応じて、第 1 あるいは第 2 の電位に増幅し検知した後、前記メモリセルに対応する第 2 のメモリアレー内のメモリセルに対応したワード線を活性化させ、該メモリセルの蓄積ノード（キャパシタのトランジスタに接続された側）に電位情報を書き込んでおくようにする。

【 0 0 1 8 】前記動作以降は、第 1 の第一導電型領域に接地電位、第 2 の第一導電型領域に第 2 の電位を供給し、第 2 のメモリアレーのメモリセルに対して読出し動作及び書込み動作を行なう。該読出し動作は、ビット線を第 3 の電位にプリチャージして該メモリセルに対応したワード線を活性化し、選択メモリセルの不揮発情報に応じて第 3 の電位との微小信号差として現れる電位を第 1 あるいは接地電位に増幅し検知する。書込みの場合は、ビット線を第 3 の電位にプリチャージして前記ワード線を活性化し、第 3 の電位との微小信号差として現れる情報に応じた電位を第 1 あるいは接地電位に増幅した後、前記メモリセルに対応したビット線を選択して書込み情報に対応する第 1 の電位あるいは接地電位を与えるようにする。

【 0 0 1 9 】動作終了直前には、第 1 及び第 2 の第一導電型領域に第 2 の電位を供給し、ビット線を第 3 の電位にプリチャージして、前記メモリセルに対応した第 2 の領域のワード線を活性化する。この結果、選択メモリセルの不揮発情報に応じてビット線上に第 3 の電位との微小信号差として現れる電位を、第 1 あるいは第 2 の電位に増幅した後、前記メモリセルに対応するメモリセルに対応した第 1 の領域のワード線を活性化させ、該メモリセルの蓄積ノードに電位情報を書き込むようにする。

【 0 0 2 0 】動作開始直後に書込み動作を行なう場合は、第 1 及び第 2 の第一導電領域に第 2 の電位を供給し、ビット線を第 1 あるいは第 2 の電位にプリチャージして、読み出すメモリセルに対応した第 1 のメモリアレーのワード線を活性化する。この結果、選択メモリセルの不揮発情報に応じてビット線上に参照電位との微小信号差として現れる電位を第 1 あるいは第 2 の電位に増幅した後、前記メモリセルに対応したビット線を選択して、書込み情報に対応する第 1 あるいは第 2 の電位を与える。その後、前記メモリセルに対応する第 2 のメモリアレー内のメモリセルに対応したワード線を活性化させ、該メモリセルの蓄積ノードに電位情報を書き込んでおくようにする。前記動作以降の動作は、動作開始直後に読出し動作を行なう場合と同様にすれば良い。

【 0 0 2 1 】本発明のさらに他の実施形態の非接触型 I

C カード用 F E R A M としては、1 つのトランジスタと 1 つの強誘電体キャパシタからなるメモリセルを記憶単位とし、前記キャパシタの一方の電極にプレート線、他方に該トランジスタのソースが接続され、該トランジスタのゲートにワード線、ドレインにビット線が接続された構成を備え、動作時には前記電圧発生回路から正の第 1 の電位と負の第 2 の電位の供給を受けるように構成するとともに、前記プレート線は各ワード線に対応されたメモリセル群ごとに分割して設けるようにする。

【 0 0 2 2 】そして、読出し動作を行なう場合は、ビット線を第 2 の電位にプリチャージして読み出すメモリセルに対応したワード線を活性化し、第 1 の電位で待機させていた該メモリセルに対応したプレート線に第 2 の電位のパルスが発生させる。この結果、選択メモリセルの不揮発情報に応じてビット線上に参照電位との微小信号差として現れる電位を第 1 あるいは第 2 の電位に増幅、検知した後、再び前記プレート線に第 2 の電位のパルスが発生させて、前記メモリセルに前記不揮発情報の再書込みを行なった後、ワード線を不活性化させる。

【 0 0 2 3 】一方、書込み動作を行なう場合は、ビット線を第 2 の電位にプリチャージして読み出すメモリセルに対応したワード線を活性化し、第 1 の電位で待機させていた該メモリセルに対応したプレート線に第 2 の電位を与える。この結果、選択メモリセルの不揮発情報に応じてビット線上に参照電位との微小信号差として現れる電位を第 1 あるいは第 2 の電位に増幅した後、前記メモリセルに対応したビット線を選択して、書込み情報に対応する第 1 あるいは第 2 の電位を与える。その後、前記プレート線を第 1 の電位に戻し、前記ワード線を不活性化させる。

【 0 0 2 4 】なお、本発明の非接触型 I C カードは、内蔵されるメモリとして前記 F E R A M の代わりに、電気的に書込み消去可能な E E P R O M もしくは電気的に一括消去可能なフラッシュメモリを使用するようにしてもよい。

【 0 0 2 5 】

【発明の実施の形態】

<実施の形態 1> 図 1 ～図 7 に本発明の第 1 の実施の形態を示す。このうち図 1 は、本発明に係る非接触型 I C カードの概略構成を示すブロック図である。この実施例の I C カードは、プラスチックあるいはセラミック製の基板からなるカード 1 0 0 上に、電磁結合手段としてのコイル L と容量 C とからなる L C 同調回路 1 1 0 と、この L C 同調回路 1 1 0 を介して外部から供給される交流信号に基づいてカード上の各 I C の駆動に必要な電源電圧を発生する電圧発生回路 1 2 0 と、前記 L C 同調回路 1 1 0 を介して外部から供給される交流信号に含まれる受信情報を抽出（復調）するとともに送信情報を含む交流信号を形成（変調）して前記 L C 同調回路 1 1 0 を駆動する変復調回路 1 3 0 と、F E R A M のような電氣的

に書き込み消去可能な不揮発性メモリ 140 と、前記変復調回路 130 により復調された受信情報に基づいて前記不揮発性メモリ 140 内のデータを読み出して演算したり演算結果等を不揮発性メモリ 140 へ書き込んだり送信情報を前記変復調回路 130 へ出力するなどの処理を行なう演算回路としてのマイクロプロセッサ 150 とにより構成されている。前記マイクロプロセッサ 150 の他に通信制御用の論理回路を、マイクロプロセッサ 150 と変復調回路 130 との間に設けるようにしてもよい。

【0026】本発明に係る非接触型 IC カードの特徴は、電圧発生回路 120 として、入力された交流信号から正と負との 2 電位を発生する電圧発生回路を有する点にある。動作手順は、以下の通りである。即ち、マイクロ波等の電磁波で送られてきた交流信号を LC 同調回路 110 で受信し、変復調回路 130 により復調する。また、受信した信号を交流電力として電圧発生回路 120 に入力する。電圧発生回路 120 では交流電力を整流して正の電位 V_{cc} (第 1 電位 V_1) と負の電位 $-V_{cc}$ (第 2 電位 V_2) とを同時に発生させ、変復調回路 130 や不揮発性メモリ 140 及びマイクロプロセッサ 150 に駆動電力として供給する。変復調回路 130 で復調された信号はマイクロプロセッサ 150 により処理されるとともに、マイクロプロセッサ 150 によって不揮発性メモリ 140 のリード・ライトが行なわれ、得られた結果が変復調回路 130 に返されて LC 同調回路 110 が駆動され、送信信号が電磁波によって外部へ出力される。

【0027】なお、特に制限されるものでないが、前記電圧発生回路 120 は十分な電圧が発生されているかモニタするモニタ回路を備え、モニタ結果が変復調回路 130 に供給されるように構成されており、電圧発生回路 120 が発生する電圧が十分になると、変復調回路 130 を通してマイクロプロセッサ 150 側に送信可能信号が送られ、マイクロプロセッサ 150 は送信可能信号を受信している期間に制御信号を出力し、カード側の制御を行なうように構成されている。

【0028】本実施例によれば、電圧発生回路 120 が入力された交流信号から正と負との 2 つの電位を発生するため、従来と同じ通信条件の下で不揮発性メモリ 140 に供給される電源電圧が実質上 2 倍になる。このため、通信に必要な電力の出力を下げるか、あるいは同じ通信条件下においては従来よりも通信距離 (カード側のコイルとカードのリード・ライトを行なう装置側のコイルとの距離) を大きくすることが可能となる。

【0029】図 2 は電圧発生回路 120 の一実施例を示す。本実施例の電圧発生回路は、電力蓄積回路 PSC とレベルモニタ回路 LMC 及び高電圧保護回路 HDC から構成されている。

【0030】電力蓄積回路 PSC は、ゲートとソースが

結合されたいわゆるダイオード接続の n チャネル型 MOS トランジスタ Q_{pn} と 1 個の大容量の強誘電体キャパシタ CP0P とにより構成されたチャージポンプからなる正電圧発生部と、ダイオード接続された 1 個の p チャネル型トランジスタ Q_{pp} と 1 個の大容量の強誘電体キャパシタ CP0N とにより構成されたチャージポンプからなる負電圧発生部から構成されている。強誘電体キャパシタ CP0P, CP0N の電極は、それぞれ一方は接地電位 V_s に、他方はトランジスタのドレイン側に接続されている。n チャネル型、p チャネル型両トランジスタ Q_{pn} , Q_{pp} のゲートとソースは、共通の交流電力入力線 VGI に接続されている。n チャネル型 MOS トランジスタ Q_{pn} のドレインは出力線 VGOP、ベースは出力線 VGOM に接続され、p チャネル型 MOS トランジスタ Q_{pp} のドレインは VGOM、ベースは VGOP に接続されている。電力蓄積回路 PSC を構成するキャパシタとしては、この実施例のような強誘電体キャパシタに限定されず、一般的なキャパシタを用いてもよい。

【0031】レベルモニタ回路 LMC は、Np 個の p チャネル型 MOS トランジスタ $Q_{p1} \sim Q_{pNp}$ と 1 個の n チャネル型 MOS トランジスタ Q_n とが直列に接続された正電位モニタ回路と、Nn 個の n チャネル型 MOS トランジスタ $Q_{n1} \sim Q_{nNn}$ と 1 個の p チャネル型 MOS トランジスタ Q_p とが直列に接続された負電位モニタ回路とから構成されている。

【0032】正電位モニタ回路を構成するトランジスタ Q_n のドレインは出力線 VGOM に接続され、ゲートは隣接するトランジスタ Q_{pNp} のゲートとともに接地点に接続され、ソースはトランジスタ Q_{pNp} のドレインと共に 2 個のインバータを介してモニタ出力線 MOP に接続されている。また、正電位モニタ回路のトランジスタ Q_{p1} のソースは、この回路が電位をモニタする出力線 VGOP に接続され、ゲートとドレインは隣接するトランジスタ Q_{p2} のソースに接続されている。トランジスタ Q_{p2} のゲートとドレインは隣接する Q_{p3} のソースに接続され、以下同様の構造が Q_{pNp} のソースまで繰り返される。

【0033】負電位モニタ回路を構成するトランジスタ Q_p のドレインは出力線 VGOP に接続され、ゲートは隣接するトランジスタ Q_{nNn} のゲートとともに接地点に接続され、ソースはトランジスタ Q_{nNn} のドレインとともにモニタ出力線 MOM に接続されている。また、トランジスタ Q_{n1} のソースは、この回路が電位をモニタする出力線 VGOM に接続され、ゲートとドレインは隣接するトランジスタ Q_{n2} のソースに接続されている。トランジスタ Q_{n2} のゲートとドレインは隣接するトランジスタ Q_{n3} のソースに接続され、以下同様の構造が Q_{nNn} のソースまで繰り返される。

【0034】なお、本実施例のレベルモニタ回路 LMC は、p チャネル型 MOS トランジスタ $Q_{p1} \sim Q_{pNp}$ のし

きい値を V_{tp} 、 n チャネル型 MOS トランジスタ $Q_{n1} \sim Q_{nNn}$ のしきい値を V_{tn} 、動作が保証される最小電圧範囲を $-V_{ccmin}$ 以上 V_{ccmin} 以下とした場合、 $V_{tp} \times N_p = V_{tn} \times N_n = V_{ccmin}$ を満たすように、各トランジスタのしきい値及び直列接続のトランジスタの数 N_p 、 N_n が設定される。

【0035】高電圧保護回路 HDC は、 N_{pp} 個の p チャネル型 MOS トランジスタ $Q_{pp1} \sim Q_{ppNpp}$ が直列に接続された正電位保護回路と、 N_{nn} 個の n チャネル型トランジスタ $Q_{nn1} \sim Q_{nnNnn}$ が直列に接続された負電位保護回路とから構成されている。正電位保護回路を構成するトランジスタ Q_{pp1} のソースには出力線 V_{GOP} が接続され、ゲートとドレインは隣接するトランジスタ Q_{pp2} のソースに接続されている。トランジスタ Q_{pp2} のゲートとドレインは、隣接するトランジスタ Q_{pp3} のソースに接続され、以下同様の構造がトランジスタ Q_{ppNpp} のソースまで繰り返される。また、トランジスタ Q_{ppNpp} のゲートとドレインは接地点に接続されている。負電位保護回路を構成するトランジスタ Q_{nn1} のソースには出力線 V_{GOM} が接続され、ゲートとドレインは隣接するトランジスタ Q_{nn2} のソースに接続されている。トランジスタ Q_{nn2} のゲートとドレインは、隣接するトランジスタ Q_{nn3} のソースに接続され、以下同様の構造がトランジスタ Q_{ppNpp} のソースまで繰り返される。トランジスタ Q_{nnNnn} のゲートとドレインは接地点に接続されている。

【0036】なお、本実施例の高電圧保護回路 HDC は、 p チャネル型 MOS トランジスタ $Q_{pp1} \sim Q_{ppNpp}$ のしきい値を V_{tpp} 、 n チャネル型 MOS トランジスタ $Q_{nn1} \sim Q_{nnNnn}$ のしきい値を V_{tnn} 、動作が保証される最大電圧範囲を $-V_{ccmax}$ 以上 V_{ccmax} 以下とした場合、 $V_{tpp} \times N_{pp} = V_{tnn} \times N_{nn} = V_{ccmax}$ を満たすように、各トランジスタのしきい値及び数が設定される。

【0037】前記実施例の電圧発生回路 120 は、入力線 V_{GI} に入力された交流電力のうち正方向の成分をトランジスタ Q_{pon} のポンピング動作によって強誘電体キャパシタ CP_{OP} に蓄積し、正電位 V_{cc} を出力線 V_{GOP} に出力する。また、同時に負方向の成分をトランジスタ Q_{pop} のポンピング動作によって強誘電体キャパシタ CP_{ON} に蓄積し、負電位 $-V_{cc}$ を出力線 V_{GOM} に出力する。このとき、正電位モニタ回路は、交流電力受信後 CP_{OP} が V_{ccmin} 以上に充電されているときには接地電位を、 V_{ccmin} 以下のときは負電位を出力線 MOP に出力する。また、負電位モニタ回路は、交流電力受信後キャパシタ CP_{ON} が $-V_{ccmin}$ 以下に充電されているときにはロウレベル（接地電位）を、 $-V_{ccmin}$ 以上のときはハイレベル（正電位）を出力線 MOM に出力する。そして、高電圧保護回路 HDC は、出力線 V_{GOP} が V_{ccmax} 以上、 V_{GOM} が $-V_{ccmax}$ 以下になるの

を接地電位への放電によって防ぐ。

【0038】図 3 は前記不揮発性メモリ（FERAM）140 の構成例を示す。

【0039】図 3 は前記電圧発生回路 120 と強誘電体メモリからなる不揮発性メモリ（FERAM）140 とを内蔵した非接触型メモリカード 100 の構成を示す。

【0040】電圧発生回路 120 で発生された正電位 V_{cc} は、不揮発性メモリ 140 のワード線駆動回路 WD 、プリチャージ回路 PCC 、センスアンプ SA 、 p チャネル型 MOS トランジスタのベースとしての n ウェル（ n -well）に供給され、負電位 $-V_{cc}$ はワード線駆動回路 WD 、プリチャージ回路 PCC 、センスアンプ SA 、 p 型基板（ n チャネル型 MOS トランジスタのベース）に供給される。また、この実施例の FERAM は、ワード線駆動回路 WD 内に昇圧回路 BVC を備えており、供給された電圧 V_{cc} をこれよりも MOS トランジスタのしきい値電圧以上高い V_{ch} レベルに昇圧してワード線の選択レベルを V_{ch} にすることで、メモリセル内の選択用 MOS トランジスタを十分にオンさせてキャパシタに蓄積されている電荷をビット線に移し易くしている。

【0041】一方、マイクロプロセッサ 150 から供給されるアドレス信号 A_i 、データ信号 D_i 、チップ選択信号 CS 、書込み制御信号 WE 、クロック信号 CLK のうちアドレス信号 A_i はアドレスバッファ ADB に入力される。このアドレス信号 A_i には、行デコーダ RD に供給されワード線駆動回路 WD を制御する行アドレス信号 AR_i の他に、列デコーダ CD に供給され列選択線 YS を選択する列アドレス信号 AC_i がある。

【0042】また、入力されたデータ信号 D_i はライトバッファ WBF からメインアンプ MA に送られ、メモリセルに書き込まれる。チップ選択信号 CS 、書込み制御信号 WE 、クロック信号 CLK は制御タイミング回路 CTG に入力される。制御タイミング回路 CTG はこれらの信号をもとにメモリアレイを制御する VPC 、 PC 、 SAP 、 SAN 等の制御信号を形成する。

【0043】メモリセル MC は 1 つの強誘電体キャパシタ C_{FE} と 1 つの選択トランジスタ Q_M から構成され、キャパシタの一方の電極が接続されたプレート線は全てのメモリセルで共通化され、接地電位に固定されている。また、ビット線 BL に接続されたメモリセルと、このビット線 BL に対して対となる相補ビット線 BB に接続されたメモリセルとは共通のワード線 $WL_1 \sim WL_n$ に接続され、これら対のメモリセルの強誘電体キャパシタに相補的な分極方向を与えるような電圧を印加して 1 ビットの '0'、'1' 情報を不揮発的に記憶させる。強誘電体キャパシタとしては、プラチナ等からなる一対の導電層（電極）間に、例えば鉛（ Pb ）とジルコニウム（ Zr ）とチタン（ Ti ）の酸化物のような強誘電体物質を介在させたものが考えられる。

【0044】次に、図4～図7を用いて、図3の強誘電体メモリFERAMからなる不揮発性メモリ140の動作方法を説明する。

【0045】本実施例のメモリは、マイクロプロセッサ150が最初にメモリセルにアクセスする際に用いる動作（FERAMモード）と2回目以降に該メモリセルにアクセスする際に用いる動作（DRAMモード）の2つのモードを有する。

【0046】図4は、FERAMモードの読出し動作時のタイミングを示す。FERAMモードでは、制御信号VPCを接地電位Vssにしてビット線のプリチャージレベルをVccに設定する。書込み制御信号WEがロウレベルの状態ではチップ選択信号CSをハイレベルとし、これによってアドレス信号Aiが取り込まれる。プリチャージ信号PCを発生してビット線をVccにプリチャージしておき、行アドレス信号ARiに対応するワード線WLiを選択レベルVchにすると、ビット線BLにメモリセルの強誘電体キャパシタの分極方向に対応した信号電位、ビット線BBに該分極方向とは逆の分極方向に対応した信号電位が発生する。

【0047】その後センスアンプSAをオンにして、‘1’信号の場合にはビット線BL、BBの電位をVccと-Vccとに増幅し、‘0’信号の場合にはビット線BL、BBの電位を-VccとVccとに増幅する。増幅後列アドレスACiに対応するビット線をカラムスイッチYSによって選択し、読出しデータDoをリードバッファRBFへ出力する。図4では、同一ワード線に属するデータを1個出力する場合を示している。その後ワード線WLiを非活性化してセンスアンプSAをオフにし、ビット線BL、BBをVccにプリチャージして次の行アドレスのFERAMモードの動作を行なう。リードバッファRBFに出力された読出しデータは、マイクロプロセッサ150によって処理され、必要に応じて変復調回路130、LC同調回路110を通して無線信号に変換され、外部の装置に送信される。

【0048】図5は、FERAMモードの書込み動作時のタイミングを示す。チップ選択信号CSと書込み制御信号WEをハイレベルとし、アドレスAiと書込みデータDiをバッファに取り込む。書込みデータDiは、メインアンプMAに送られて増幅される。プリチャージ信号PCを発生してビット線をVccにプリチャージしておき、行アドレスARiに対応するワード線WLiを選択すると、ビット線対BL、BBにメモリセルの強誘電体キャパシタの分極方向に対応する信号電位が発生する。その後センスアンプSAをオンにして、‘1’信号の場合にはビット線BL、BBの電位をVccと-Vccとに増幅し、‘0’信号の場合にはビット線BL、BBの電位を-VccとVccとに増幅して、列アドレスACiに対応するビット線をカラムスイッチYSによって選択し、データDiをメモリセルに書き込む。

【0049】なお、図5では記憶情報が‘0’から‘1’に書き換えられる場合と、‘1’から‘0’に書き換えられる場合を示している。また、同一ワード線に属するメモリセルにデータを1個書き込む場合を示している。書込み終了後、ワード線WLiを非活性化してセンスアンプSAをオフにし、ビット線をVccにプリチャージして次の行アドレスのFERAMモードの動作を行なう。

【0050】図6は、FERAMモードから移行した直後のDRAMモードの読出し動作時のタイミングを示す。DRAMモードに移行する際、制御信号VPCをVccに切り替えてビット線のプリチャージレベルを接地電位Vssに設定する。まず、書込み制御信号WEがロウレベルの状態ではチップ選択信号CSをハイレベルとし、これによってアドレスAiが取り込まれる。プリチャージ信号PCを発生してビット線をVssにプリチャージしておき、行アドレスARiに対応するワード線WLiを選択すると、ビット線対BL、BBにメモリセルの‘0’、‘1’情報に応じた信号電位が発生する。その後センスアンプSAをオンにして、‘1’の場合にはビット線BL、BBの電位をVccと-Vccとに増幅し、‘0’の場合にはビット線BL、BBの電位を-VccとVccとに増幅して、列アドレスACiに対応するビット線をカラムスイッチYSによって選択し、読出しデータDoをリードバッファRBFに出力する。

【0051】なお、図6では、同一ワード線に属するデータを1個出力する場合を示している。出力後ワード線WLiを非活性化してセンスアンプSAをオフにし、ビット線をVssにプリチャージして、次の行アドレスのDRAMモードの動作を行なう。リードバッファRBFに出力された読出しデータは、マイクロプロセッサ150によって処理され、必要に応じて変復調回路130、LC同調回路110を通して交流信号に変換され、外部の装置へ無線送信される。

【0052】図7は、DRAMモードの書込み動作時のタイミングを示す。まず、チップ選択信号CSと書込み制御信号WEをハイレベルとし、アドレスAiと書込みデータDiをバッファに取り込む。書込みデータDiは、メインアンプMAに送られて増幅される。プリチャージ信号PCを発生してビット線を接地電位Vssにプリチャージしておき、行アドレスARiに対応するワード線WLiを選択すると、ビット線対BL、BBにメモリセルの‘0’、‘1’情報に応じた信号電位が発生する。その後センスアンプSAをオンにして、‘1’の場合にはビット線BL、BBの電位をVccと-Vccとに増幅し、‘0’の場合にはビット線BL、BBの電位を-VccとVccとに増幅して、列アドレスACiに対応するビット線をカラムスイッチYSによって選択し、データDiをメモリセルに書き込む。

【0053】なお、図7では記憶情報が‘0’から

‘1’に書き換えられる場合と、1’から‘0’に書き換えられる場合を示している。また、同一ワード線に属するメモリセルにデータを1個書き込む場合を示している。書き込み終了後、ワード線WL_iを非活性化してセンスアンプSAをオフにし、ビット線をV_{cc}にプリチャージして次の行アドレスのDRAMモードの動作を行なう。DRAMモードの動作期間においては、メモリセルの蓄積ノードの電位がリークにより検知不可能にまで減衰する以前に読出し動作（リフレッシュ動作）を行なう蓄積ノードの電位を再書き込みする。

【0054】本実施例によれば、交流電力の正電位成分だけでなく負電位成分も利用できるように送信するRF電力の出力が小さくて済む。あるいは、送信電力が同じ条件ならば動作時に実質的に2倍の電圧を強誘電体キャパシタにかけることができ、信号量のマージンをかせぐことができる。

【0055】また、電圧発生回路120の電力蓄積用キャパシタとして強誘電体キャパシタを用いることにより、小面積で大容量の電力を蓄積する事ができ、メモリ回路の動作による供給電位の変動の影響を緩和することができる。

【0056】＜実施の形態2＞図8～図13にメモリ回路の第2の実施の形態を示す。本実施例のメモリ回路は、不揮発性記憶領域であるデータ領域DAの他に、揮発性記憶領域である演算領域WAを有する。この実施例のメモリ回路はマイクロプロセッサにより暗号の解読等高度な演算が行なわれるICカードに好適な実施例である。図8の強誘電体メモリ回路FEDRAMが図3のメモリ回路と異なるのは、（1）図9に示すように3重ウェル構造を用いてメモリアレー部を演算領域WAとデータ領域DAとに分割しており、データ領域DAのpウェル（p-well3）の電位を強制的に接地電位に設定する手段を有していることと、（2）プリチャージ回路PCCにおいてV_{ss}プリチャージとV_{cc}/2プリチャージを選択できることと、（3）センスアンプ回路SAにおいて増幅する電位として、-V_{cc}とV_{ss}とを選択できること、である。演算領域WAとデータ領域DAに属するメモリセルは実施の形態1で述べた構造と同一の構造を持つ。

【0057】図10～図13に図8の強誘電体メモリFEDRAMの動作方法を示す。

【0058】本実施例のメモリ回路は、マイクロプロセッサ150が最初のアクセスでデータ領域DAからデータを読み出すのと同時にそのデータを演算領域WAに転送するモード（LORDモード）と、2回目以降のアクセスに対しては演算領域WAにロードされたデータに対してリード・ライトを実行するモード（DRAMモード）と、最後のアクセスが終了した後、演算領域WA上の必要なデータをデータ領域DAにリストアするモード（RESTOREモード）に従って動作する。

【0059】図10にLORDモードの動作タイミングを示す。LORDモードでは、VPCをV_{ss}に設定してV_{cc}プリチャージを選択する。また、VSAをV_{ss}に設定して、センスアンプSAの増幅電位を-V_{cc}、V_{cc}とし、データ領域DAのpウェル（p-well3）の給電電位を-V_{cc}とする。まず、書き込み制御信号WEがロウレベルの状態でチップ選択信号CSをハイレベルとし、これによってアドレスA_iが取り込まれる。

【0060】次に、プリチャージ信号PCを発生してビット線をV_{cc}にプリチャージしておき、行アドレスAR_iに対応するデータ領域DA内のワード線WL_iを選択レベルにすると、ビット線対BL、BBにメモリセルの‘0’、‘1’情報に応じた信号電位が発生する。その後センスアンプSAをオンにして、‘1’の場合にはビット線BL、BBの電位をV_{cc}と-V_{cc}とに増幅し、‘0’の場合にはビット線BL、BBの電位を-V_{cc}とV_{cc}とに増幅する。増幅後、列アドレスAC_iに対応するビット線をカラムスイッチYSによって選択し、読出しデータD_oをリードバッファRBFに出力することができる。

【0061】なお、図10では、同一ワード線に属するデータを1個出力する場合を示している。また、ビット線電位の増幅後、データ領域DAのワード線WL_iに対応する演算領域WAのワード線WD_iを活性化し、データ領域DAのメモリセルMCの情報を演算領域WA側のメモリセルMCDに書き込んでおく。以上の動作後ワード線WL_i、WD_iを非活性化してセンスアンプSAをオフにし、ビット線をV_{cc}にプリチャージして次の行アドレスのLOADモードの動作を行なう。

【0062】図11にLOADモードから移行直後のDRAMモードの読出し動作タイミングを示す。DRAMモードに移行する際、VPCをV_{cc}に切り替えてビット線のプリチャージレベルをV_{cc}/2に設定する。また、VSAを-V_{cc}に切り替えてセンスアンプの増幅電位をV_{ss}、V_{cc}とすると同時に、データ領域DAのpウェル（p-well3）の給電電位をV_{ss}とする。読出し動作にあたって、書き込み制御信号WEがロウレベルの状態でチップ選択信号CSをハイレベルとし、これによってアドレスA_iが取り込まれる。プリチャージ信号PCを発生してビット線をV_{cc}/2にプリチャージしておき、行アドレスAR_iに対応するワード線WD_iを選択すると、ビット線対BL、BBにメモリセルの‘0’、‘1’情報に応じた信号電位が発生する。

【0063】その後センスアンプSAを動作状態にさせて‘1’の場合にはビット線BL、BBの電位をV_{cc}とV_{ss}とに増幅し、‘0’の場合にはビット線BL、BBの電位をV_{ss}とV_{cc}とに増幅して、列アドレスAC_iに対応するビット線をYSによって選択し、読出しデータD_oをリードバッファRBFに出力する。なお、図11では、同一ワード線に属するデータを1個出

力する場合を示している。出力後ワード線WD_iを非活性化してセンスアンプSAをオフにし、ビット線をV_{cc}/2にプリチャージして、次の行アドレスのDRAMモードの動作を行なう。リードバッファRBFに出力された読出しデータD_oは、マイクロプロセッサ150によって処理され、必要に応じて変復調回路130、LC同調回路110を通して交流信号に変換され、外部の装置へ無線送信される。

【0064】図12に、DRAMモードの書き込み動作タイミングを示す。まず、チップ選択信号CSと書き込み制御信号WEをハイレベルとし、アドレスA_iと書き込みデータD_iをバッファに取り込む。書き込みデータD_iは、メインアンプMAに送られて増幅される。プリチャージ信号PCを発生してビット線を接地電位V_{cc}/2にプリチャージしておき、行アドレスAR_iに対応するワード線WD_iを選択すると、ビット線対BL、BBにメモリセルの‘0’、‘1’情報に応じた信号電位が発生する。その後センスアンプSAをオンにして、‘1’の場合にはビット線BL、BBの電位をV_{cc}とV_{ss}とに増幅し、‘0’の場合にはビット線BL、BBの電位をV_{ss}とV_{cc}とに増幅して、列アドレスAC_iに対応するビット線をカラムスイッチYSによって選択し、データD_iをメモリセルに書き込む。

【0065】なお、図12ではメモリセルの記憶情報が‘0’から‘1’に書き換えられる場合と、‘1’から‘0’に書き換えられる場合を示している。また、同一ワード線に属する1対のメモリセルにデータを1個書き込む場合を示している。書き込み終了後、ワード線WD_iを非活性化してセンスアンプSAをオフにし、ビット線をV_{cc}/2にプリチャージして次の行アドレスのDRAMモードの動作を行なう。

【0066】DRAMモードの動作期間においては、メモリセルの蓄積ノードの電位がリークにより検知不可能にまで減衰する前に読出し動作（リフレッシュ動作）を行なって蓄積ノードの電位を再書き込みする。

【0067】なお、図11および図12に示す最下欄の/WD_iの波形は後述の他の動作方法で用いるワード線の波形である。

【0068】図13にRESTOREモードの動作タイミングを示す。RESTOREモードに移行する際、VPCをV_{cc}としてビット線のプリチャージレベルをV_{cc}/2に設定する。また、VSAをV_{ss}に切り替えてセンスアンプSAの増幅電位を-V_{cc}、V_{cc}とすると同時に、データ領域DAのpウェル(p-well3)の給電電位を-V_{cc}とする。まず、書き込み制御信号WEがロウレベルの状態でチップ選択信号CSをハイレベルとし、これによってアドレスA_iが取り込まれる。プリチャージ信号PCを発生してビット線をV_{cc}/2にプリチャージしておき、行アドレスAR_iに対応するワード線WD_iを選択すると、ビット線対BL、BBにメモリ

セルの‘0’、‘1’情報に応じた信号電位が発生する。さらに、この実施例では、プリチャージ信号PCによってビット線をV_{cc}/2にプリチャージする際に一時的にワード線を-V_{cc}に引き下げるようにしており、これによってメモリセルの選択トランジスタを充分にオフ状態にさせて、リークによってキャパシタの電荷がビット線に漏れるのを防止している。

【0069】演算領域WAのワード線WD_iの立上げ後、センスアンプSAをオンにして、‘1’の場合にはビット線BL、BBの電位をV_{cc}と-V_{cc}とに増幅し、‘0’の場合にはビット線BL、BBの電位を-V_{cc}とV_{cc}とに増幅する。増幅後列アドレスAC_iに対応するビット線をカラムスイッチYSによって選択し、読出しデータD_oをリードバッファRBFに出力することができる。ビット線電位の増幅後、演算領域WAのワード線WD_iに対応するデータ領域DAのワード線WL_iを活性化し、演算領域WAのメモリセルMCDの情報をデータ領域DA側のメモリセルMCに書き込む。なお図13では同一ワード線に属するデータを、1個出力すると同時にリストアする場合を示している。以上の動作後ワード線WD_i、WL_iを非活性化してセンスアンプSAをオフにし、ビット線をV_{cc}/2にプリチャージして次の行アドレスのRESTOREモードの動作を行なう。

【0070】本実施例によれば、前記実施の形態1の利点に加えて、動作の大部分をデータ領域DAとは別の演算領域WAで行なうためソフトエラー等で演算中のデータが破壊されても容易に演算前のデータを回復して演算しなおすことができ、高信頼性が得られる利点がある。また、DRAMモード動作のビット線振幅がLORDモード動作の半分であることから、実施の形態1に比べて低消費電力を実現できる。さらに、基板電位発生回路を設けなくとも、DRAMモード動作中、演算領域WAのpウェル(p-well2)に‘0’信号に対応する電位よりも低い電位を与えることができ、MOSトランジスタのしきい値の改善効果が得られる。

【0071】次に、図8の強誘電体メモリFEDRAMの別の動作方法を説明する。本実施例の動作方法では、図11および図12に示すDRAMモード動作時のワード線WD_iの波形を最下欄の/WD_iの波形に置き換える。即ち、ワード線の電位振幅を-V_{cc}からV_{cc}までとする。本動作方法によれば、演算領域WAに属するメモリセルのしきい電圧をほぼ0に設定できるので、ワード線の選択レベルを高くしなくても充分にメモリセルの選択用MOSFETをオンさせることができるため、正電圧V_{cc}の昇圧が不要となる効果がある。

【0072】＜実施の形態3＞図14～図16に本発明の第3の実施の形態を示す。図14に前記電圧発生回路と本発明の別の強誘電体メモリ回路とを内蔵した非接触型メモリカードCLMCの構成を示す。図14の強誘電

体メモリ回路 F E D R A M で図 3 と異なるのは、メモリセルのプレート線 P L がワード線 W L と同様に分離形成されていて終端にプレート線駆動回路 P D が設けられていることと、プリチャージ回路 P C C は $-V_{cc}$ にのみプリチャージする回路であることである。

【 0 0 7 3 】 図 1 5 に図 1 4 の強誘電体メモリ回路 F E R A M の読出し動作方法を示す。まず、書込み制御信号 W E がロウレベルの状態でチップ選択信号 C S をハイレベルとし、これによってアドレス A i が取り込まれる。次に、プリチャージ信号 P C を発生してビット線を $-V_{cc}$ にプリチャージしておき、行アドレス A R i に対応するワード線 W L i を活性化して前記行アドレス A R i に対応するプレート線 P L i に電圧 V_{cc} のパルスを与えると、ビット線対 B L、B B にメモリセルの ' 0 '、' 1 ' 情報に応じた信号電位が発生する。ここで、プレート線 P L i にパルスを与える動作は、キャパシタ C F E を下から叩いて電荷を強制的に押し出させる動作としてとらえることができる。

【 0 0 7 4 】 その後センスアンプ S A をオンにして、' 1 ' 信号の場合にはビット線 B L、B B の電位を V_{cc} と $-V_{cc}$ とに増幅し、' 0 ' 信号の場合にはビット線 B L、B B の電位を $-V_{cc}$ と V_{cc} とに増幅する。その後、列アドレス A C i に対応するビット線をカラムスイッチ Y S によって選択し、データ D o をリードバッファ R B F に出力する。以上の動作後、ワード線 W L i を非活性化してセンスアンプ S A をオフにし、ビット線を $-V_{cc}$ にプリチャージして次の行アドレスの動作を行なう。リードバッファ R B F に出力された読出しデータ D o は、マイクロプロセッサ 1 5 0 によって処理され、必要に応じて変復調回路 1 3 0、L C 同調回路 1 1 0 を通って交流信号に変換され、外部の装置へ無線送信される。なお、図 1 5 では、同一ワード線に属するデータを 1 個出力する場合を示している。

【 0 0 7 5 】 図 1 6 に図 1 4 の強誘電体メモリ回路 F E R A M の書込み動作方法を示す。まず、チップ選択信号 C S と書込み制御信号 W E をハイレベルとし、アドレス A i と書込みデータ D i をバッファに取り込む。書込みデータ D i は、メインアンプ M A に送られて増幅される。プリチャージ信号 P C を発生してビット線を $-V_{cc}$ にプリチャージしておき、行アドレス A R i に対応するワード線 W L i を活性化して前記行アドレス A R i に対応するプレート線 P L i を V_{cc} にすると、ビット線 B L、B B にメモリセルの ' 0 '、' 1 ' 情報に応じた信号電位が発生する。その後、センスアンプ S A をオンにして、' 1 ' 信号の場合にはビット線 B L、B B の電位を V_{cc} と $-V_{cc}$ とに増幅し、' 0 ' 信号の場合にはビット線 B L、B B の電位を $-V_{cc}$ と V_{cc} とに増幅して、列アドレス A C i に対応するビット線をカラムスイッチ Y S によって選択し、データ D i をメモリセルに書き込む。

【 0 0 7 6 】 なお、図 1 6 ではメモリセルの記憶情報が ' 0 ' から ' 1 ' に書き換えられる場合と、' 1 ' から ' 0 ' に書き換えられる場合を示している。また、同一ワード線に属するメモリセルにデータを 1 個書き込む場合を示している。書込み終了後、プレート線 P L i を $-V_{cc}$ に戻し、ワード線 W L i を非活性化してセンスアンプ S A をオフにし、ビット線を $-V_{cc}$ にプリチャージして次の行アドレスの F E R A M モードの動作を行なう。

【 0 0 7 7 】 本実施例によれば、前記実施の形態 1 の利点の加えて、プレート線を駆動することによって強誘電体キャパシタにかけることのできる電圧が 2 倍とれるために実施の形態 1 に比べ低電圧動作が可能となる利点が得られる。

【 0 0 7 8 】 < 実施の形態 4 > 図 1 7 に本発明の他の実施の形態を示す。図 1 7 は前記電圧発生回路 1 2 0 と不揮発メモリ 1 4 0 として E E P R O M あるいはフラッシュメモリとを内蔵した非接触型 I C カードの構成を示す。電圧発生回路 1 2 0 が発生する正電位 V_{cc} と負電位 $-V_{cc}$ を、E E P R O M に供給する場合は、正電位 V_{cc} を E E P R O M 内部の昇圧回路で V_{pp} に昇圧して高圧系の制御に用い、負電位 $-V_{cc}$ を低圧系の制御に用いる。フラッシュメモリに供給する場合は、負電位 $-V_{cc}$ を基板電位として用い、正電位 V_{cc} をフラッシュメモリ内部で V_{pp} に昇圧して書き込み、消去用の高電圧として用いる。なお、書込み時のメモリセルのドレイン電圧としては正電位と負電位の間接地電位 (V_{ss}) を用い、読出し動作に用いる電圧は負電位 $-V_{cc}$ から発生させるようにするのがよい。

【 0 0 7 9 】 本実施例においても、交流電力の正電位成分だけでなく負電位成分も利用できるように送信する交流電力の出力が小さくて済むという効果が得られる。

【 0 0 8 0 】 以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 8 1 】 また、以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体メモリとマイクロプロセッサとを内蔵した I C カードに適用にした場合について説明したがこの発明はそれに限定されるものでなく、半導体メモリを主体としこれに簡単な論理回路を付加してなるメモリカードにも利用することができる。

【 0 0 8 2 】

【 発明の効果 】 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 8 3 】 すなわち、本発明によれば、長い通信距離あるいは低交流電力で動作し、かつ内蔵されたメモリ回路の動作等に起因する電源電位の変動の影響が小さく、

さらには小面積で高信頼の非接触型 I C カード用メモリを提供することができる。

【図面の簡単な説明】

【図 1】本発明に係る非接触型 I C カードの概略構成を示すブロック図。

【図 2】本発明の電圧発生回路の一実施例を示す回路図。

【図 3】本発明に係る非接触型 I C カードにおける不揮発性メモリの一例としての強誘電体メモリ (F E R A M) の一実施例を示す回路図。

【図 4】図 3 の回路構成における F E R A M モードの読出し動作のタイミングを示す波形図。

【図 5】図 3 の回路構成における F E R A M モードの書き込み動作のタイミングを示す波形図。

【図 6】図 3 の回路構成における D R A M モードの読出し動作のタイミングを示す波形図。

【図 7】図 3 の回路構成における D R A M モードの書き込み動作のタイミングを示す波形図。

【図 8】本発明に係る非接触型 I C カードにおける不揮発性メモリとしての強誘電体メモリの他の実施例を示す回路図。

【図 9】図 8 の強誘電体メモリのウエル構造を示す縦断面図。

【図 1 0】図 8 の回路構成における L O A D モードの動作のタイミングを示す波形図。

【図 1 1】図 8 の回路構成における D R A M モードの読出し動作のタイミングを示す波形図。

【図 1 2】図 8 の回路構成における D R A M モードの書き込み動作のタイミングを示す波形図。

【図 1 3】図 8 の回路構成における R E S T O R E モードの動作のタイミングを示す波形図。

【図 1 4】本発明に係る非接触型 I C カードにおける不揮発性メモリとしての強誘電体メモリの他の実施例を示す回路図。

【図 1 5】図 1 4 の回路構成における読出し動作のタイミングを示す波形図。

【図 1 6】図 1 4 の回路構成における書き込み動作のタイ

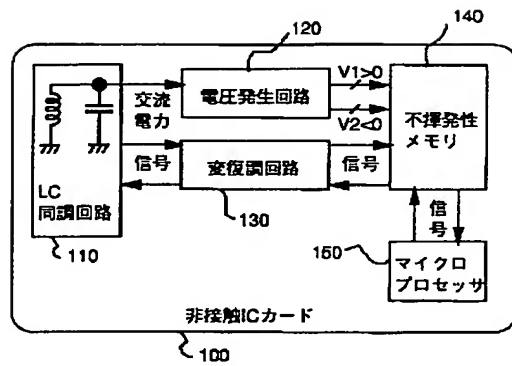
ミングを示す波形図。

【図 1 7】不揮発性メモリとして E E P R O M あるいはフラッシュメモリ搭載の非接触型 I C カードの構成例を示すブロック図。

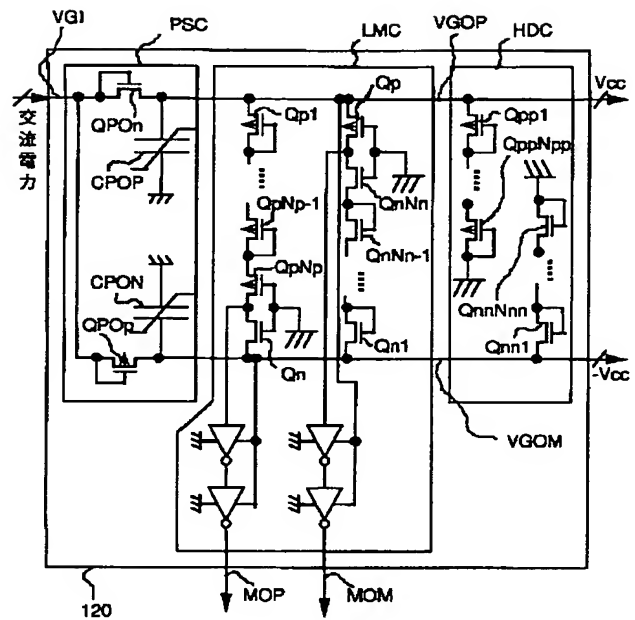
【符号の説明】

1 0 0 カード
1 1 0 L C 同調回路
1 2 0 電圧発生回路
1 3 0 変復調回路
1 4 0 不揮発性メモリ
1 5 0 マイクロプロセッサ
V 1 , V c c 正の電源電位
V 2 , - V c c 負の電源電位
V s s 接地電位
V G I 電圧発生回路の入力線
V G O P 電圧発生回路の正電位出力線
V G O N 電圧発生回路の負電位出力線
P S C 電力蓄積回路
L M C レベルモニタ回路
H D C 高電圧保護回路
C P 0 P , C P 0 N 電力蓄積用強誘電体キャパシタ
M O P , M O M 電源電位モニタ出力線
R D 行デコーダ
W D ワード線駆動回路
C D 列デコーダ
M A メインアンプ
S A センサアンプ
P C C プリチャージ回路
M C , M C D メモリセル
W L i , W D i ワード線
B L , B B ビット線
Y S ビット線選択スイッチ
V c h ワード線昇圧電位
D A データ領域
W A 演算領域
P L i プレート線

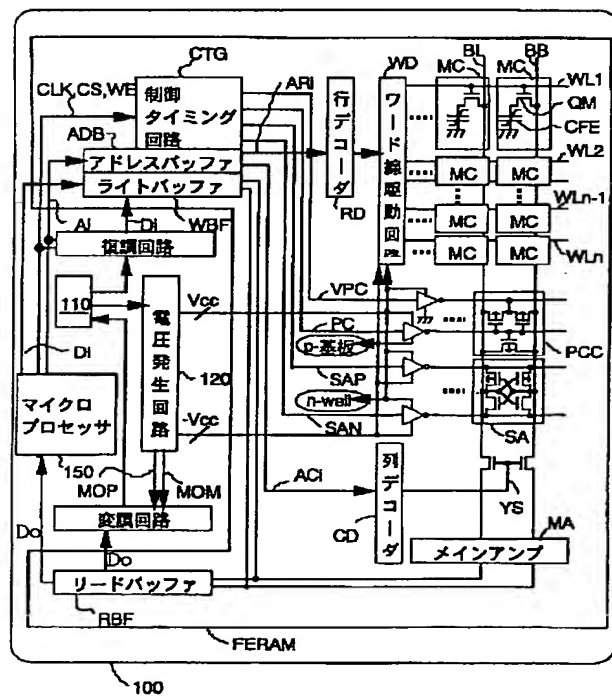
【図 1】



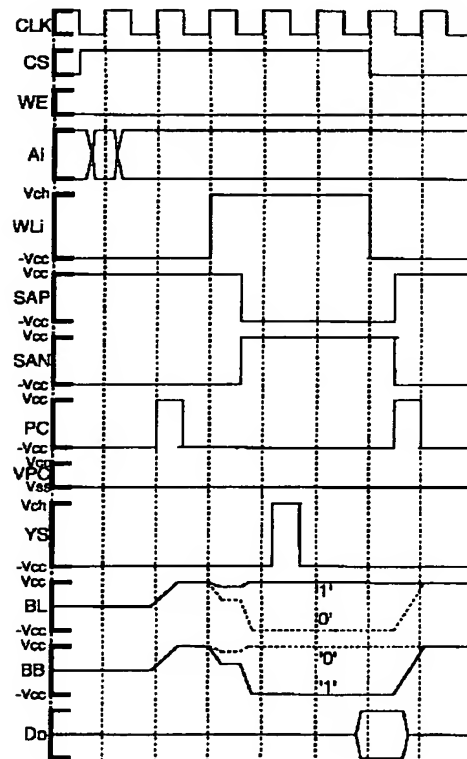
【図 2】



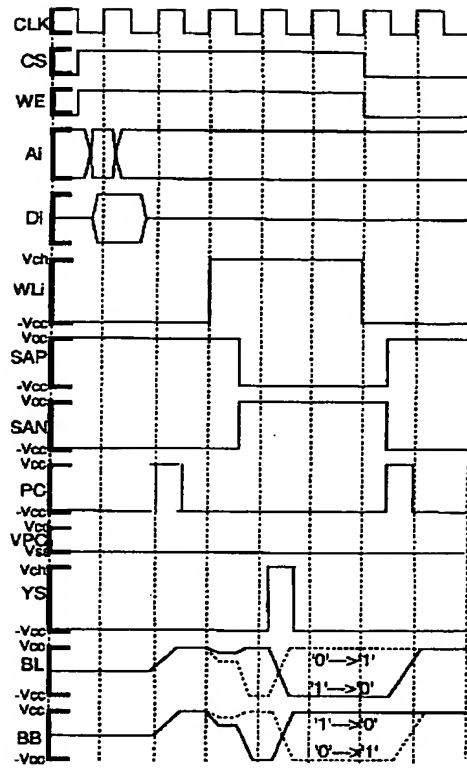
【図 3】



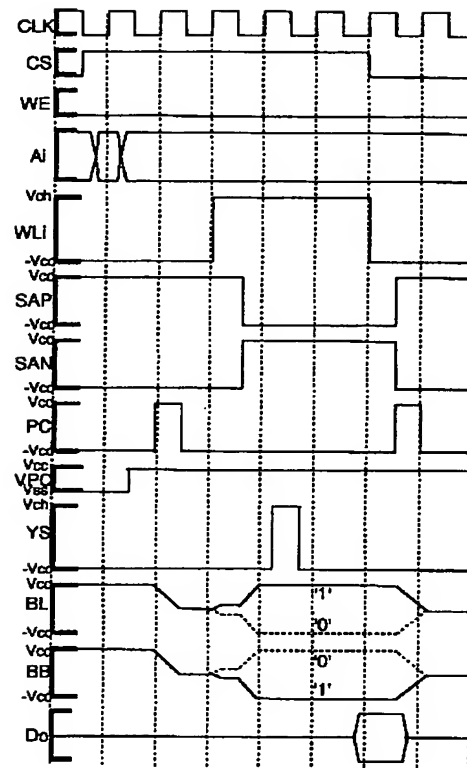
【図 4】



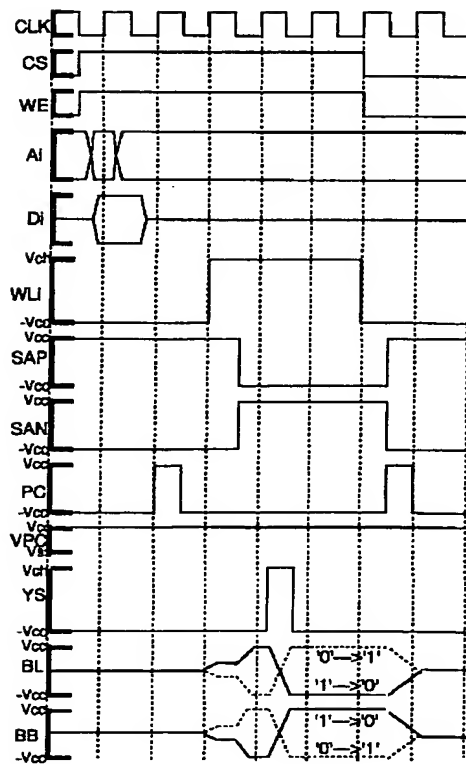
【図 5】



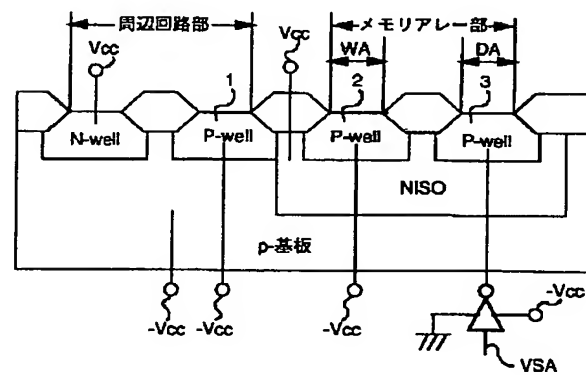
【図 6】



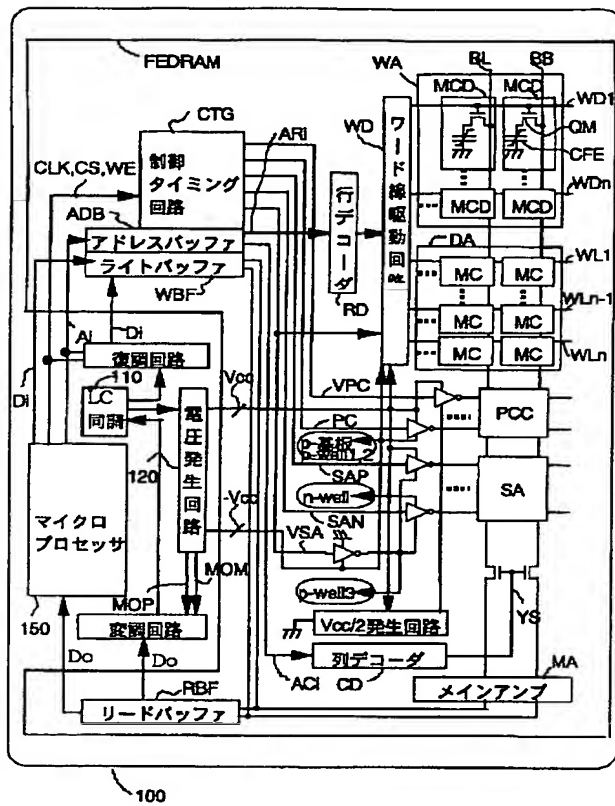
【図 7】



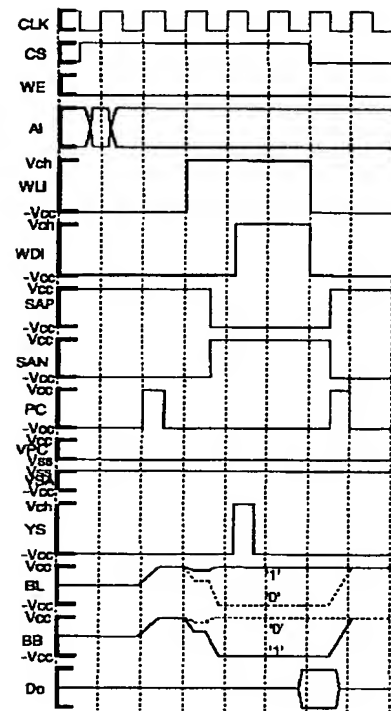
【図 9】



【図 8】

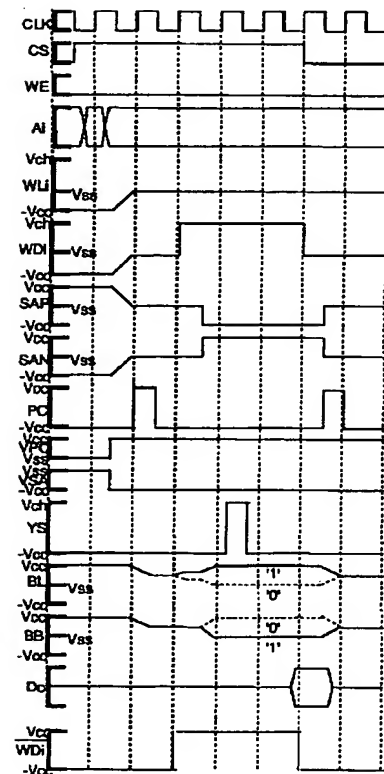
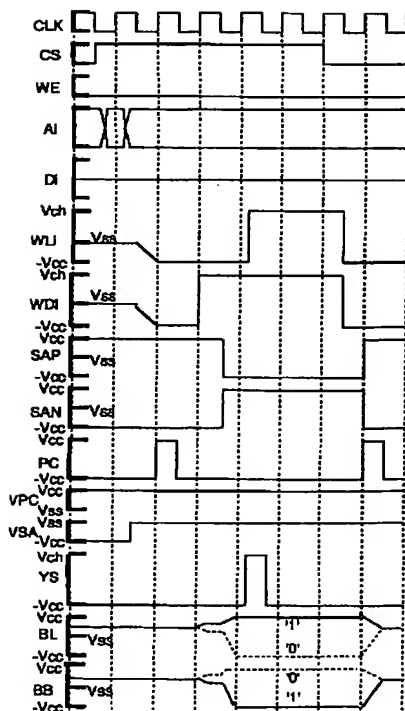


【図 10】

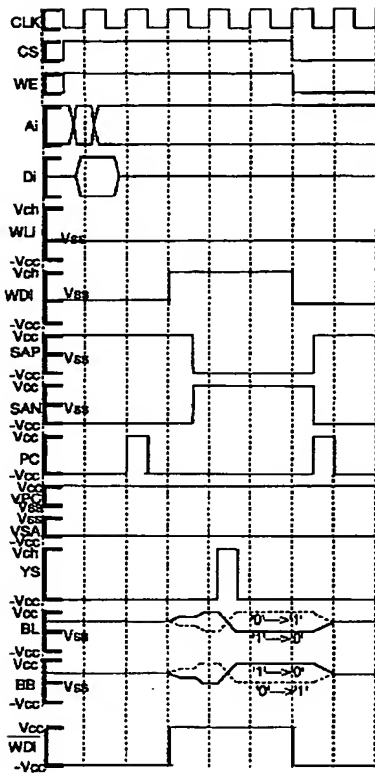


【図 11】

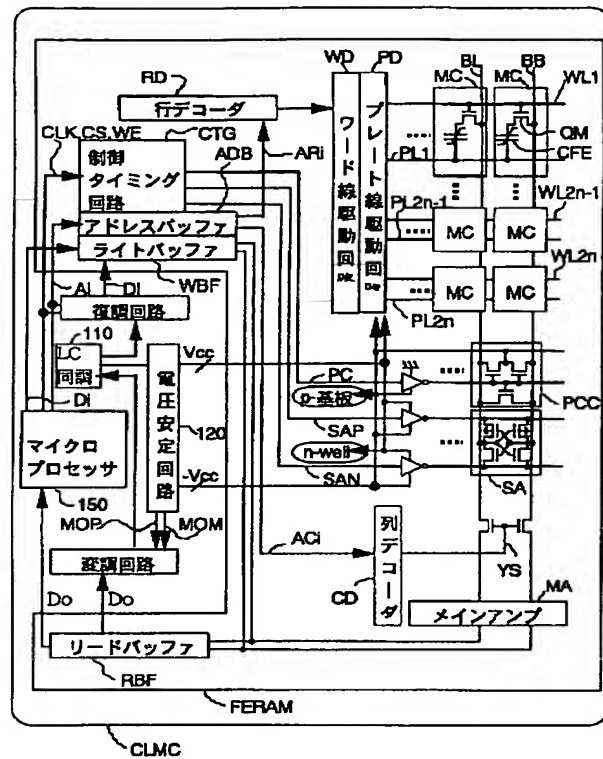
【図 13】



【図 12】

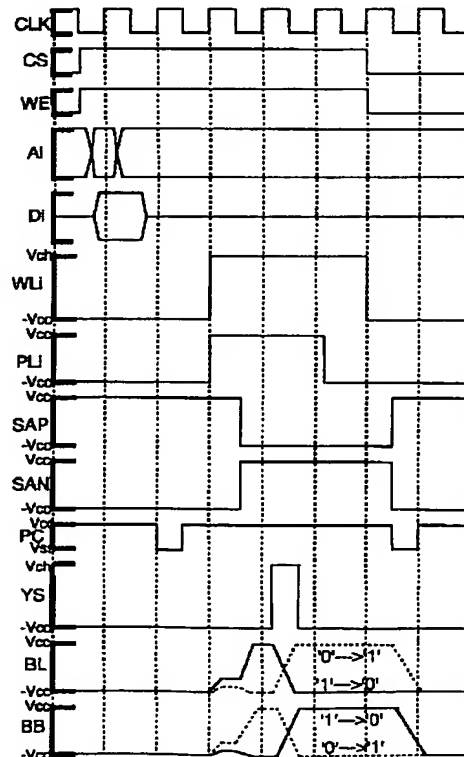
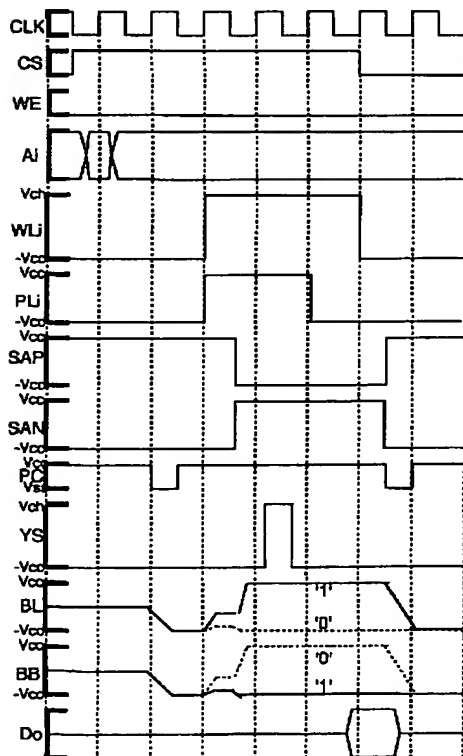


【図 14】

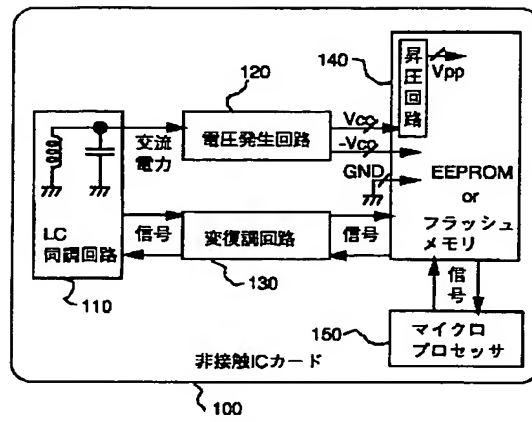


【図 16】

【図 15】



【図 1 7】



フロントページの続き

(51) Int. Cl.⁶

H 0 2 J 17/00

識別記号

F I

G 1 1 C 17/00

6 3 4 B